

ASSIGNING METHOD OF MEMORY ADDRESS

Patent Number: JP60254344
Publication date: 1985-12-16
Inventor(s): SANO YOSHINOBU
Applicant(s): TOSHIBA KK
Requested Patent: ☐ JP60254344
Application Number: JP19840111899 19840531
Priority Number(s):
IPC Classification: G06F12/06; G06F9/22
EC Classification:
Equivalents:

Abstract

PURPOSE: To remove the change of an address when a program of a ROM is transferred to a RAM and to improve debugging efficiency by forming an address deciding means, a specification means and a memory selecting means.

CONSTITUTION: After transferring a microprogram previously stored in the ROM13 to the RAM14, a microprocessor 11 sends a memory address assigning command and an address (I/O port address) specifying an address assigning circuit 16 to a microprocessor bus 22. Multiplexers 41, 42 select any one of the ROM13 and the RAM14 in accordance with the outputs of a command decoder 31 and an address decoder 33. When the microprogram stored in the ROM13 is transferred to the RAM14 to execute program debugging on the RAM14, the address range assigned to the ROM13 can be assigned to the RAM14.

Data supplied from the esp@cenet database - I2

139254-06

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭60-254344

⑪ Int. Cl.

識別記号

庁内整理番号

⑬ 公開 昭和60年(1985)12月16日

G 06 F 12/06
9/22

6974-5B
E-8120-5B

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 メモリアドレス割付け方式

⑮ 特 願 昭59-111899

⑯ 出 願 昭59(1984)5月31日

⑰ 発 明 者 佐 野 義 信 東京都府中市東芝町1番地 株式会社東芝府中工場内
⑱ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地
⑲ 代 理 人 弁 理 士 鈴 江 武 彦 外2名

明 細 書

1. 発明の名称

メモリアドレス割付け方式

2. 特許請求の範囲

初期状態において第1のアドレス範囲が割付けられ、マイクロプログラムを格納するROM、および初期状態において第2のアドレス範囲が割付けられるRAMを含むメモリと、上記ROMに格納されているマイクロプログラムを上記ROMから上記RAMに転送する手段と、上記メモリに対するメモリアドレスが上記第1、第2いずれのアドレス範囲にあるかを判定するアドレス判定手段と、上記ROMおよびRAMに対するアドレス割付けの切換えを指示する指示手段と、この指示手段の指示内容および上記アドレス判定手段の判定結果に応じて上記ROMまたはRAMのいずれか一方を選択するメモリ選択手段とを具備し、上記ROMに格納されているマイクロプログラムに対するデバッグ処理が、上記RAM上で行なわれるように構成されていることを特徴とするメモリア

ドレス割付け方式。

3. 発明の詳細な説明

〔発明の技術分野〕

この発明は、マイクロプロセッサシステムに係り、特にRAM上でマイクロプログラムのデバッグを行なう場合に好適するメモリアドレス割付け方式に関する。

〔発明の技術的背景〕

マイクロプロセッサシステムで適用されるマイクロプログラム(いわゆるファームウェア)の開発に際しては、同プログラムのデバッグは不可欠である。しかし、マイクロプログラムは、一般にROMに格納されるため、デバッグが困難であった。そこで、ROM内のマイクロプログラムを(リード/ライト可能な)RAMに転送し、RAM上でデバッグを行なうことにより、その効率化が図られている。

〔背景技術の問題点〕

しかし、従来の方式では、マイクロプログラムをROMからRAMに転送すると、そのプログラ

ムに割付けられている絶対アドレスが変化してしまう問題があった。このため、マイクロプログラムデバッグの実施に際しては種々の制約があり、デバッグ効率の向上が図り難かった。

〔発明の目的〕

この発明は上記事情に鑑みてなされたものでその目的は、RAM上でマイクロプログラムのデバッグを行なう場合に、同プログラムに割付けられるアドレスが変化しないで済み、もってデバッグ効率の向上が図れるメモリアドレス割付け方式を提供することにある。

〔発明の概要〕

この発明では、初期状態において第1のアドレス範囲が割付けられ、マイクロプログラムを格納するROM、および初期状態において第2のアドレス範囲が割付けられるRAMを含むメモリが設けられる。また、この発明では、上記メモリに対するメモリアドレスが上記第1、第2いずれのアドレス範囲にあるかを判定するアドレス判定手段と、上記ROMおよびRAMに対するアドレス割

付けの切換えを指示する指示手段と、メモリ選択手段とが設けられている。このメモリ選択手段は、上記指示手段の指示内容および上記アドレス判定手段の判定結果に応じて上記ROMまたはRAMのいずれか一方を選択する。したがって、上記ROMに格納されているマイクロプログラムを上記ROMから上記RAMに転送し、上記RAM上でプログラムデバッグを行なう場合、上記RAMに対し第1のアドレス範囲を割付けることが可能となる。

〔発明の実施例〕

第1図はこの発明を適用するマイクロプロセッサシステムの構成を示す。同図において、11はシステムの中心を成すマイクロプロセッサ、12は主としてマイクロプロセッサ11が使用するメモリである。メモリ12は、マイクロプログラムを格納するROM13、各種データ、プログラムなどを格納するRAM14、15を含んでいる。16はROM13およびRAM14、15など、メモリ12のメモリ領域に対するメモリアドレスの割付けを行なうアドレス

割付け回路、17~19はメモリ選択信号線である。アドレス割付け回路16とROM13とは信号線17によって接続され、アドレス割付け回路16とRAM14、15とは信号線18、19によって接続されている。20はキーボード付きのCRT端末、21は周辺回路である。メモリ12(内のROM13、RAM14、15)、アドレス割付け回路16、CRT端末20、および周辺回路21は、マイクロプロセッサ11のマイクロプロセッサバス22に接続されている。

第2図は第1図のアドレス割付け回路16の内部構成を示す。同図において、31はマイクロプロセッサバス22上のコマンドをデコードするコマンドデコーダ、32は同デコーダ31のデコード信号線である。コマンドデコーダ31は、上記コマンドが、第1図のメモリ12のメモリ領域に対するメモリアドレス割付けの変更(切換え)を指示するコマンド(メモリアドレス割付け変更コマンド)の場合、信号線32をアクティブ(論理"1")にする。33はマイクロプロセッサバス22上のアドレス(1/Oポートアドレス)をデコードするアドレスデコ

ーダ、34は同デコーダ33のデコード信号線34である。アドレスデコーダ33は、上記アドレスがアドレス割付け回路16を示す場合、信号線34をアクティブ(論理"1")にする。35は信号線32、34上の各信号の論理積をとるアンドゲート、38はアンドゲート35からの出力信号によつてセットするフリップフロップ(F/F)、37はフリップフロップ36からの出力信号をクロック信号CLKに同期させるためのフリップフロップである。クロック信号CLKは、メモリ12のメモリサイクルに対応している。

38はマイクロプロセッサバス23上のメモリアドレスをデコードするアドレスデコーダ、39、40は同デコーダ38のデコード信号線である。また、前記したメモリ選択信号線19もアドレスデコーダ38のデコード信号線である。アドレスデコーダ38は、上記メモリアドレスが

000000H~00FFFFFFH

のアドレス範囲に含まれている場合、信号線19をアクティブ(論理"1")にする。なお、数字の

Hは、16進表現であることを示す。また、アドレスデコーダ38は、上記メモリアドレスが

010000H~01FFFFH

のアドレス範囲に含まれている場合、信号線39をアクティブ（論理“1”）にする。また、アドレスデコーダ38は、上記メモリアドレスが

0F0000H~0FFFFFFH

のアドレス範囲に含まれている場合、信号線40をアクティブ（論理“1”）にする。なお、第2図では、

020000H~02FFFFH

030000H~03FFFFH

などの各アドレス範囲に対応するデコード信号線については、省略されている。これら省略された信号線は、図示せぬRAM（第1図のRAM15に相当するRAM）のメモリ選択信号線として用いられる。

41、42はA入力およびB入力を有するマルチプレクサ（MPX）である。マルチプレクサ41のA入力、およびマルチプレクサ42のB入力は、信号

線40に共通接続されている。また、マルチプレクサ41のB入力、およびマルチプレクサ42のA入力は、信号線39に共通接続されている。マルチプレクサ41、42は、フリップフロップ37からの出力信号に応じ、A入力またはB入力のいずれか一方を選択する。マルチプレクサ41の出力は信号線17に接続され、マルチプレクサ42の出力は信号線18に接続されている。

次に、この発明の一実施例の動作を、第3図のフローチャート、第4図のメモリアドレス割付け説明図を参照して説明する。マイクロプロセッサ11は、システム電源投入後、またはイニシャライズ後、メモリ12の

①0F0000H番地~0FFFFFFH番地の内容（マイクロプログラム）を読出し、その読出し内容を同メモリ12の

②010000H番地~01FFFFH番地にローディングする処理（ステップS1）を行なう。このステップS1の処理のためのマイクロプログラム自体は、上記①で示されるメモリ12内メ

モリ領域からフェッチされる。このステップS1の処理により、以下に述べるように、ROM13に予め格納されているマイクロプログラムがRAM14にローディングされる。

今、マイクロプロセッサ11からメモリ12に対し、マイクロプログラム読出しのために、マイクロプロセッサバス22経由で（上記①に示すアドレス範囲内）メモリアドレスが提示されたものとする。アドレス割付け回路18内のアドレスデコーダ38は、マイクロプロセッサバス22上のメモリアドレスをデコードする。アドレスデコーダ38は、上記メモリアドレスが、この例のように上記①のアドレス範囲に含まれている場合、信号線40に論理“1”の信号を出力する。この論理“1”の信号は、マルチプレクサ41のA入力、およびマルチプレクサ42のB入力に導かれる。このとき、フリップフロップ37はイニシャライズ（リセット）されている。フリップフロップ37がリセットしている場合、マルチプレクサ41、42はA入力を選択する。したがって、信号線40上の論理“1”の（アクティブな）

信号は、マルチプレクサ41により選択される。マルチプレクサ41からの論理“1”の選択出力信号は、信号線17経由でROM13に供給される。これにより、ROM13が選択され。このことから、ROM13には、第4図（a）に示すように、上記①のアドレス範囲が割付けられていることが理解されよう。したがって、マイクロプロセッサ11は、ROM13からマイクロプログラムを読出すことができる。

次に、上記読出したマイクロプログラムをメモリ12（内のRAM14）に書込むために、マイクロプロセッサ11からメモリ12に対し、マイクロプロセッサバス22経由で（上記②に示すアドレス範囲内）メモリアドレスが提示されたものとする。アドレス割付け回路18内のアドレスデコーダ38は、マイクロプロセッサバス22上のメモリアドレスをデコードする。アドレスデコーダ38は、上記メモリアドレスが、この例のように上記②のアドレス範囲に含まれている場合、信号線39に論理“1”の信号を出力する。この論理“1”の信号は、マ

マルチプレクサ41のB入力、およびマルチプレクサ42のA入力に導かれる。このとき、フリップフロップ37はリセットしている。したがって、信号線39上の論理“1”の(アクティブな)信号は、マルチプレクサ42により選択される。マルチプレクサ42からの論理“1”の選択出力信号は、信号線18経由でRAM14に供給される。これにより、RAM14が選択され。このことから、RAM14には、第4図(a)に示すように、上記②のアドレス範囲が割付けられていることが理解されよう。したがって、マイクロプロセッサ11は、ROM13から読出したマイクロプログラムを、第4図(a)に矢印Aで示すように、RAM14にローディングすることができる。

以上のようにして、ROM13に予め格納されていたマイクロプログラムをRAM14へ転送すると、マイクロプロセッサ11はROM13内のマイクロプロセッサにより、アドレス割付け回路16に対してメモリアドレス割付け変更を指示するコマンドを発行する(ステップS2)。即ち、マイクロプロ

セッサ11は、メモリアドレス割付け変更コマンド、およびアドレス割付け回路16を指定するアドレス(I/Oポートアドレス)をマイクロプロセッサバス22に送出する。アドレス割付け回路16内のコマンドデコーダ31は、マイクロプロセッサバス22上のコマンドをデコードする。コマンドデコーダ31は、この例のように上記コマンドがメモリアドレス割付け変更コマンドの場合、信号線32に論理“1”の(アクティブな)信号を出力する。また、アドレス割付け回路16内のアドレスデコーダ33は、マイクロプロセッサバス22上のアドレス(I/Oポートアドレス)をデコードする。アドレスデコーダ33は、この例のように上記アドレスがアドレス割付け回路16を示している場合、信号線34に論理“1”の(アクティブな)信号を出力する。アンドゲート35は、信号線32、34上の論理“1”の信号に応じ、論理“1”の信号をフリップフロップ36に出力する。これにより、フリップフロップ36はセットする。即ち、フリップフロップ36は、アドレス割付け回路16がメモリアドレス割付けの

変更を指示されたことを記憶する。フリップフロップ36からのセット出力信号はフリップフロップ37に導かれる。この結果、フリップフロップ37は、クロック信号CLK、即ちメモリ12のバスサイクルに同期してセットする。

フリップフロップ37がセットすると、即ちフリップフロップ37からの出力信号が論理“0”から論理“1”に遷移すると、マルチプレクサ41はB入力を選択し、マルチプレクサ42はA入力を選択する。この結果、信号線40がアクティブの場合、即ちマイクロプロセッサ11から提示されたメモリアドレスが上記①のアドレス範囲に含まれている場合、前記した場合と異なってRAM14が選択される。また、信号線39がアクティブの場合、即ちマイクロプロセッサ11から提示されたメモリアドレスが上記②のアドレス範囲に含まれている場合、ROM13が選択される。このことから、ROM13およびRAM14に割付けられるメモリアドレス範囲が、マイクロプロセッサ11からのメモリアドレス割付け変更指示に応じ、第4図(b)に示すよ

うに相互に切換えられることが理解されよう。

上記したアドレス割付け変更後においては、マイクロプロセッサ11は、実行すべきマイクロプログラム(マイクロ命令)を、(ROM13でなく)RAM14からフェッチすることになる。したがって、この実施例によれば、ROM13に予め格納されているマイクロプログラムのデバッグを、同プログラムに特別な工夫を施すことなく、RAM14上で行なうことができる。そして、デバッグを進めてゆく段階でバグが発見された場合には、オペレータはORT端末20を操作することにより、該当プログラムをRAM14上で修正し、作業を継続することができる。

[発明の効果]

以上詳述したようにこの発明によれば、RAM上でマイクロプログラムのデバッグを行なう場合に、同プログラムに割付けられるアドレスが変化しないで済むので、プログラムに特別の工夫を施すなどの変更が一切不要となり、またデバッグ上の制約もなく、デバッグ効率が著しく向上する。

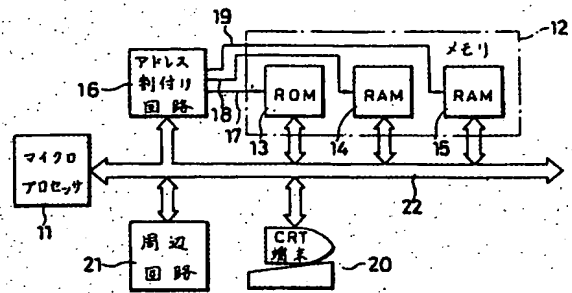
4. 図面の簡単な説明

第1図はこの発明を適用するマイクロプロセッサシステムの構成を示すブロック図、第2図は第1図に示すアドレス割付け回路の回路構成図、第3図は動作を説明するためのフローチャート、第4図はメモリアドレス割付け状態を説明する図である。

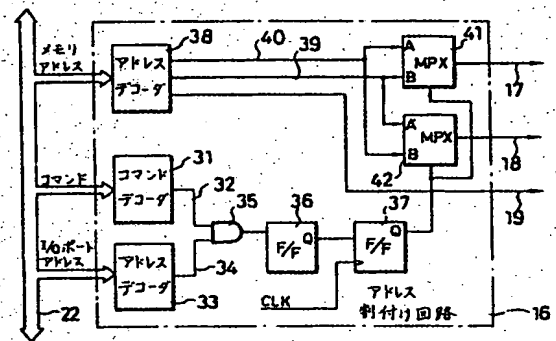
11…マイクロプロセッサ、12…メモリ、13…ROM、14、15…RAM、16…アドレス割付け回路、31…コマンドデコーダ、33、38…アドレスデコーダ、36、37…フリップフロップ、41、42…マルチプレクサ。

出願人代理人 弁理士 錦江武彦

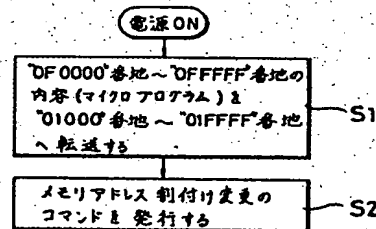
第1図



第2図



第3図



第4図

